

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116426

(43)Date of publication of application : 02.05.1997

(51)Int.Cl. H03L 7/06

H03L 7/10

(21)Application number : 07-268591 (71)Applicant : SONY CORP

(22)Date of filing : 17.10.1995 (72)Inventor : SONEDA MITSUO

(54) DIGITAL PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To set an output frequency to be highly precise and to shorten time when a system reaches a lock state by presetting the count value of a digital counter before previous power-off at the time of starting power.

SOLUTION: When a PLL circuit is an on-state, a phase comparison comparator 1 compares the phase of a reference clock fck with that of an oscillation output fck0 and an up/down signal corresponding to the compared result is outputted to a digital counter 2. In the counter 2, the count value is counted up or down, and the count value S2 of m-bit is outputted to a D/A converter 3. When power is turned on, the output value S2 of the counter at that time is stored 6. A power-on reset circuit 7 transmits a preset enable signal S7 to the counter 2. The counter 2 presets the digital value of m-bit in the memory 6 in accordance with the signal S7.

LEGAL STATUS

[Date of request for examination] 06.12.2000

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

3-24-06; 4:41PM; U. C. PATENTS
MAR-17-2006 FRI 18:13

15712738300
FAX NO.

;9496600809

5/ 17
P. 03/15

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116426

(13) 公開日 平成9年(1997)5月2日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/08 7/10			H 0 3 L 7/08 7/10	B D

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平7-268591

(22) 出願日 平成7年(1995)10月17日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 曾根田 光生

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

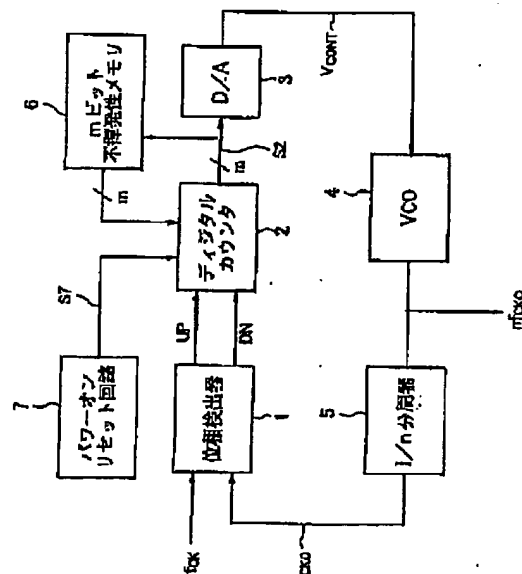
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 デジタルPLL回路

(57) 【要約】

【課題】 出力周波数の高精度化およびロック状態に達するまでの時間の短縮化を図れるデジタルPLL回路を実現する。

【解決手段】 入力電圧に応じた周波数の信号を出力する電圧制御発振器4と、基準信号と電圧制御発振器4の出力信号との位相を比較する位相比較回路1と、位相比較回路1から比較結果を入力し、当該比較結果に基づいてカウント値をカウントアップまたはカウントダウンし、そのカウント値を電圧制御発振器4に出力するデジタルカウンタ2と、デジタルカウンタ2から出力されたカウント値を記憶する不揮発性メモリ6と、立ち上げ時に不揮発性メモリ6に記憶されているカウント値をデジタルカウンタ2にプリセットさせる回路7とを設ける。



(2)

特開平9-116426

1

【特許請求の範囲】

【請求項1】 入力電圧に応じた周波数の信号を出力する電圧制御発振器と、基準信号と前記電圧制御発振器の出力信号との位相を比較する位相比較回路と、前記位相比較回路から比較結果を入力し、当該比較結果に基づいてカウント値をカウントアップまたはカウントダウンし、そのカウント値を前記電圧制御発振器に出力するデジタルカウンタと、

上記デジタルカウンタから出力されたカウント値を記憶する不揮発性メモリと、立ち上げ時に上記不揮発性メモリに記憶されているカウント値を上記デジタルカウンタにプリセットさせる回路とを有するデジタルPLL回路。

【請求項2】 入力電圧に応じた周波数の信号を出力する電圧制御発振器と、基準信号と前記電圧制御発振器の出力信号との位相を比較する位相比較回路と、前記位相比較回路から比較結果を入力し、当該比較結果に基づいてカウント値をカウントアップまたはカウントダウンし、そのカウント値を記憶するとともに前記電圧制御発振器に出力するデジタルカウンタとを有するデジタルPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルカウンタを用いたデジタルPLL (Phase Locked Loop) 回路に関する。

【0002】

【従来の技術】図4に示すように、一般的なデジタルPLL回路は、たとえば、位相比較器1、m段 (mビット) のデジタルカウンタ2、デジタル/アナログ (D/A) 変換器3、電圧制御発振器 (VCO) 4および1/n分周器5を有する。

【0003】このような構成において、位相比較器1で、周波数 f_{ref} の基準クロック f_{ck} と1/n分周器5からの発振出力 f_{cno} との位相が比較され、その比較結果に応じたアップダウン信号UP/DNがデジタルカウンタ2に出力される。たとえば、基準クロック f_{ck} に対して発振出力 f_{cno} の間隔が低い場合にはアップ信号UPがデジタルカウンタ2に出力され、その逆の場合にはダウン信号DNがデジタルカウンタ2に出力される。デジタルカウンタ2では、位相比較器1からのアップダウン信号に基づいて、カウント値が最下位ビットから最上位ビットに向かってアップまたはダウンされ、mビットのカウント値S2がD/A変換器3に出力される。そして、D/A変換器3において、デジタル値S2からその値に応じた一定レベルのアナログ信号 V_{cont} に変換されて電圧制御発振器4に出力される。

【0004】電圧制御発振器4では、入力したアナログ

2

信号 V_{cont} のレベルに応じて発振周波数が決定され、周波数 f_0 の目標クロック $n f_{cno}$ が出力される。また、この電圧制御発振器4の出力クロック信号 $n f_{cno}$ は1/n分周器5に入力される。1/n分周器5は、電圧制御発振器4からの出力クロック信号 $n f_{cno}$ が1/n分周され、その発振出力 f_{cno} が位相比較器1に出力される。

【0005】

【発明が解決しようとする課題】しかしながら、上述した従来のデジタルPLL回路では、低ジッタにするためには、電圧制御発振器4の発振周波数を制御するための信号 V_{cont} の精度が必要であることから、デジタルカウンタ2のビット数を大きくする必要があり、その結果、図4に示すように、ロック状態になるまでに長い引き込み時間を要していた。すなわち、上述した従来のデジタルPLL回路では、出力周波数の精度の向上とロック状態に達するまでの時間の短縮化とが相反する関係にあることから、これらの双方について同時に十分な特性を得ることができないという問題がある。

【0006】本発明は、かかる事情に鑑みてなされたものであり、その目的は、出力周波数の高精度化およびロック状態に達するまでの時間の短縮化を図れるデジタルPLL回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明のデジタルPLL回路は、入力電圧に応じた周波数の信号を出力する電圧制御発振器と、基準信号と前記電圧制御発振器の出力信号との位相を比較する位相比較回路と、前記位相比較回路から比較結果を入力し、当該比較結果に基づいてカウント値をカウントアップまたはカウントダウンし、そのカウント値を前記電圧制御発振器に出力するデジタルカウンタと、上記デジタルカウンタから出力されたカウント値を記憶する不揮発性メモリと、立ち上げ時に上記不揮発性メモリに記憶されているカウント値を上記デジタルカウンタにプリセットさせる回路とを有する。

【0008】また、本発明のデジタルPLL回路は、入力電圧に応じた周波数の信号を出力する電圧制御発振器と、基準信号と前記電圧制御発振器の出力信号との位相を比較する位相比較回路と、前記位相比較回路から比較結果を入力し、当該比較結果に基づいてカウント値をカウントアップまたはカウントダウンし、そのカウント値を記憶するとともに、前記電圧制御発振器に出力するデジタルカウンタとを有する。

【0009】本発明のデジタルPLL回路によれば、デジタルカウンタの出力デジタル値が不揮発性メモリに記憶される。そして、電源立ち上げ時等に、デジタルカウンタの前の電源オフ時のカウント値がプリセットされる。このプリセット値はその出力デジタル値として、直ちに電圧制御発振器に与えられる。この信号

(3)

特開平9-116426

3

は、引き込み状態における値とほぼ等しいため、回路は、短時間でロック状態となる。

【0010】また、本発明のデジタルPLL回路によれば、デジタルカウンタのカウンタ値はそのまま記憶される。そして、電源立ち上げ時等に、デジタルカウンタの直前の電源オフ前のカウンタ値がそのまま出力される。この出力デジタル値は、直ちに電圧制御発振器に与えられる。この信号は、引き込み状態における値とほぼ等しいため、回路は、短時間でロック状態となる。

【0011】

【発明の実施形態】

第1実施形態

図1は、本発明に係るデジタルPLL回路の第1の実施形態を示すブロック図である。図1に示すように、本実施形態に係るデジタルPLL回路は、位相比較器1、mビットのデジタルカウンタ2、D/A変換器3、電圧制御発振器(VCO)4、1/n分周器5、mビットの不揮発性メモリ、およびパワーオンリセット回路7により構成されている。

【0012】位相比較器1は、周波数 f_{ref} の基準クロック f_{ck} と1/n分周器5からの発振出力 f_{cko} との位相を比較し、その比較結果に応じたアップダウン信号UP/DNをデジタルカウンタ2に出力する。たとえば、基準クロック f_{ck} に対して発振出力 f_{cko} の周波数が短い場合にはアップ信号UPをデジタルカウンタ2に出力し、その逆の場合にはダウン信号DNをデジタルカウンタ2に出力する。

【0013】デジタルカウンタ2は、位相比較器1からのアップダウン信号UP/DNに基づいて、カウンタ値が最下位ビットから最上位ビットに向かってアップまたはダウンし、mビットのカウンタ値S2をD/A変換器3に出力する。また、パワーオン時等にプリセットイネーブル信号S7を受けるとmビット不揮発性メモリ7に記憶されているmビットのデジタル値がプリセットされる。

【0014】D/A変換器3は、デジタルカウンタ2から出力されたデジタル値S2をその値に応じた一定レベルのアナログ信号 V_{cont} に変換して電圧制御発振器4に出力する。

【0015】電圧制御発振器4は、入力したカウンタ値S3によって発振周波数を決定し、最終的に周波数 f_o の目標クロック $n f_{cko}$ を出力する。

【0016】1/n分周器5は、電圧制御発振器4からの出力信号S4を分周した発振出力 f_5 を位相比較器2に出力する。

【0017】mビット不揮発性メモリ6は、たとえばフラッシュメモリ、EEPROM、あるいは強誘電体を用いたRAM等により構成され、デジタルカウンタ2のmビットのデジタル値S2を記憶する。そして、PLL回路がオフされたときに記憶されたmビットのデジ

4

タル値がデジタルカウンタ2にロードされる。

【0018】パワーオンリセット回路7は、PLL回路の電源がオンにされると、プリセットイネーブル信号S7をデジタルカウンタ2に出力する。

【0019】次に、上記構成による動作を説明する。PLL回路がオン状態にある場合には、位相比較器1で、周波数 f_{ref} の基準クロック f_{ck} と1/n分周器5からの発振出力 f_{cko} との位相が比較され、その比較結果に応じたアップダウン信号がデジタルカウンタ2に出力される。たとえば、基準クロック f_{ck} に対して発振出力 f_{cko} の周波数が低い場合にはアップ信号UPがデジタルカウンタ2に出力され、その逆の場合にはダウン信号DNがデジタルカウンタ2に出力される。デジタルカウンタ2では、位相比較器1からのアップダウン信号に基づいて、カウンタ値が最下位ビットから最上位ビットに向かってアップまたはダウンされ、mビットのカウンタ値S2がD/A変換器3に出力される。このとき、mビットのカウンタ値S2はmビット不揮発性メモリ6に格納される。

【0020】そして、D/A変換器3において、デジタル値S2からその値に応じた一定レベルのアナログ信号 V_{cont} に変換されて電圧制御発振器4に出力される。

【0021】電圧制御発振器4では、入力したアナログ信号 V_{cont} のレベルに応じて発振周波数が決定され、周波数 f_o の目標クロック $n f_{cko}$ が出力される。また、この電圧制御発振器4の出力クロック信号 $n f_{cko}$ は1/n分周器5に入力される。1/n分周器5は、電圧制御発振器4からの出力クロック信号 $n f_{cko}$ が1/n分周され、その発振出力 f_{cko} が位相比較器1に出力される。

【0022】ここで、PLL回路がオフ状態あるいは電源がオンにされると、その時点のデジタルカウンタ2の出力値S2が記憶され、保持される。そして、たとえば電源がオンにされると、パワーオンリセット回路7によりプリセットイネーブル信号S7がデジタルカウンタ2に出力される。

【0023】デジタルカウンタ2では、プリセットイネーブル信号S7を受けるとmビット不揮発性メモリ7に記憶されているmビットのデジタル値がプリセットされる。このプリセット値はその出力デジタル値S2として、直ちにD/A変換器3に入力され、デジタル値S2に対応したアナログ信号 V_{cont} が直ちに電圧制御発振器4に与えられる。この信号 V_{cont} は、引き込み状態におけるDC値とほぼ等しいため、図2に示すように、本デジタルPLL回路は、短時間でロック状態となる。

【0024】以上説明したように、本実施形態によれば、デジタルPLL回路において、デジタルカウンタ2の出力デジタル値S2を記憶する不揮発性メモリ6を設け、電源立ち上げ時等に、デジタルカウンタ2

(4)

特開平9-116426

5
の前の電源オフ前のカウント値をプリセットするようにしたので、デジタルカウンタ2のビット数を大きくして出力周波数の高精度化を図れるとともに、ロック状態に達するまでの時間の短縮化を図ることができる。

【0025】第2実施形態

図3、本発明に係るデジタルPLL回路の第2の実施形態を示すブロック図である。本第2の実施形態と上述した第1の実施形態と異なる点は、不揮発性メモリを別途設ける代わりに、デジタルカウンタ2a自身をmビット不揮発性メモリにより構成したことにある。

【0026】本実施形態によれば、プリセット系の回路が不要となり、その結果、上述した第1の実施形態の効果に加えて、回路構成の簡単化を図ることができるという利点がある。

【0027】

【発明の効果】本発明のデジタルPLL回路によれば、出力周波数の高精度化およびロック状態に達するまでの時間の短縮化を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明に係るデジタルPLL回路の第1の実

施形態を示すブロック図である。

【図2】図1に示すデジタルPLL回路の起動からロック状態になるまでの引き込み時間について示す図である。

【図3】本発明に係るデジタルPLL回路の第2の実施形態を示すブロック図である。

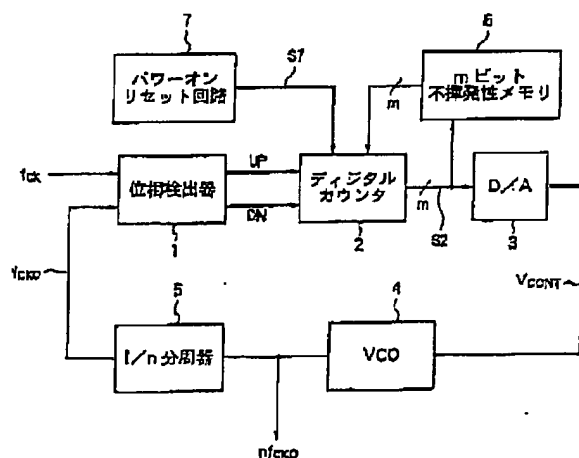
【図4】一般的なデジタルPLL回路のブロック図である。

【図5】図4に示すデジタルPLL回路の起動からロック状態になるまでの引き込み時間について示す図である。

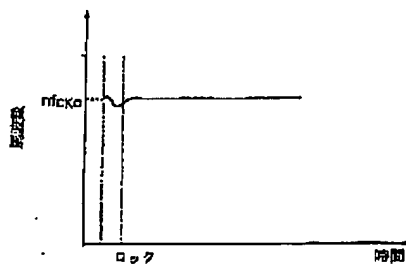
【符号の説明】

- 1…位相比較器
- 2、2a…デジタルカウンタ
- 3…デジタル/アナログ(D/A)変換器
- 4…電圧制御発振器
- 5…1/n分周器
- 6…不揮発性メモリ
- 7…パワーオンリセット回路

【図1】



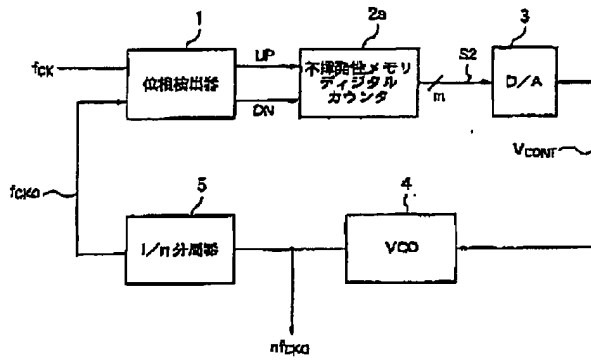
【図2】



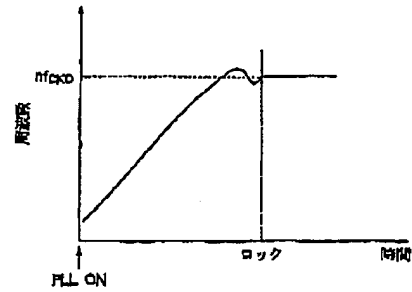
(5)

特開平9-116426

【図3】



【図5】



【図4】

